

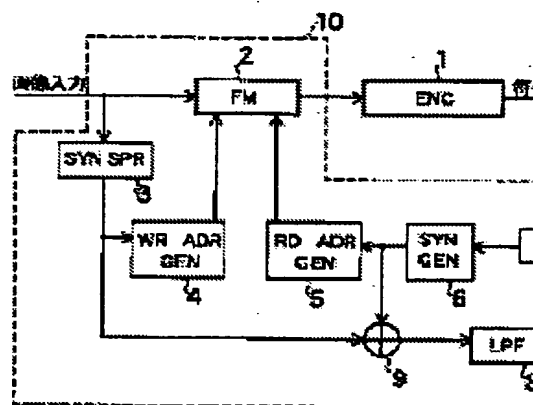
DIGITAL IMAGE CODER

Patent number: JP11098498
Publication date: 1999-04-09
Inventor: OMOTO NORIHIDE
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- international: H04N7/24; H04J3/00; H04L7/04
- european:
Application number: JP19970253683 19970918
Priority number(s):

Abstract of JP11098498

PROBLEM TO BE SOLVED: To avoid adverse effect on coded data by absorbing interval fluctuations of synchronizing and converting the signal into a digital image signal without disturbance in the case that the synchronizing interval of the received digital image signal is disturbed.

SOLUTION: A received digital image signal is stored in a frame memory 2 and read according to a read address from a read address generator 5. The read address generator 5 is controlled by an output of a synchronizing signal generator 6. Since the synchronizing signal generator 6, a voltage controlled oscillator 7, a low-pass filter 8 and a phase comparator 9 configure a phase locked loop, even when a digital image signal whose synchronizing interval is disturbed is received and the synchronizing interval extracted by the synchronizing signal detector 3 is disturbed, the synchronizing signal generated from the synchronizing signal generator 6 follows the interval fluctuation slowly. As a result, no disturbance is in existence in the digital signal read from the frame memory 2.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-98498

(43)公開日 平成11年(1999) 4月9日

(51)Int.Cl.⁵

識別記号

F I

H 0 4 N 7/24

H 0 4 N 7/13

Z

H 0 4 J 3/00

H 0 4 J 3/00

M

H 0 4 L 7/04

H 0 4 L 7/04

A

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21)出願番号

特願平9-253683

(22)出願日

平成9年(1997) 9月18日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 大元 憲英

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

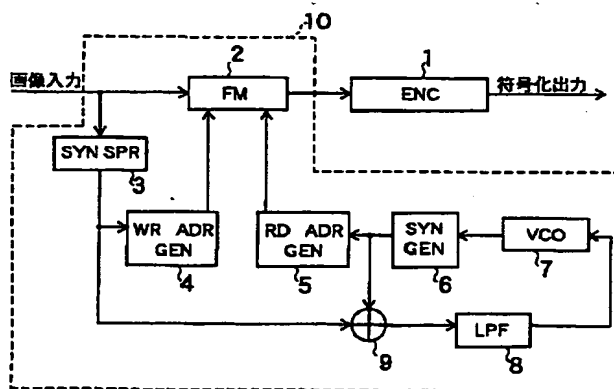
(74)代理人 弁理士 工藤 宣幸

(54)【発明の名称】 デジタル画像符号化装置

(57)【要約】

【課題】 デジタル画像復号化装置において、同期ずれショックのない画像再生を行うことができるように符号化する。

【解決手段】 本発明のデジタル画像符号化装置は、入力されたデジタル画像信号を符号化して出力する符号化器に加え、当該デジタル画像符号化装置に入力されたデジタル画像信号の同期信号間隔が乱れていた場合に、その間隔変動を吸収し、同期信号間隔に乱れないデジタル画像信号に変換して符号化器に与える入力画像同期位相調整回路を有する。



【特許請求の範囲】

【請求項1】 入力されたデジタル画像信号を符号化して出力する符号化器と、

当該デジタル画像符号化装置に入力されたデジタル画像信号の同期信号間隔が乱れていた場合に、その間隔変動を吸収し、同期信号間隔に乱れないデジタル画像信号に変換して上記符号化器に与える入力画像同期位相調整回路とを有することを特徴とするデジタル画像符号化装置。

【請求項2】 上記符号化器が、入力されたデジタル画像信号における同期信号を検出し、デジタル画像復号化装置での復号化後のデジタル画像信号の再生出力タイミングを規定するタイムスタンプを符号化データに盛り込む機能を有するものであることを特徴とする請求項1に記載のデジタル画像符号化装置。

【請求項3】 上記入力画像同期位相調整回路が、入力されたデジタル画像信号を記憶する画像記憶手段と、

入力されたデジタル画像信号における同期信号を検出して上記画像記憶手段への書き込みを制御する書き込み制御手段と、

内部発生した同期信号に基づいて、上記画像記憶手段からの読み出しを制御する読み出し制御手段と、

上記書き込み制御手段が検出した同期信号の間隔変動に対して、上記読み出し制御手段が内部発生する同期信号の間隔変動が緩やかに追従させる同期信号変動吸収手段とを有することを特徴とする請求項1又は2に記載のデジタル画像符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデジタル画像符号化装置に関し、特に、再生出力時刻を表すタイムスタンプを付与する機能を有するデジタル画像符号化装置に適用して好適なものである。

【0002】

【従来の技術】 MPEG2に代表されるようなデジタル画像符号化方式においては、可変長符号化方式などを適用しているため、符号化後の1フレーム当りのデータ量は、各フレームでまちまちである。そのため、復号化装置で復号したものを直ちに出力した場合には、再生出力される各フレームの画像データ間は、時間軸上で等間隔にならない。

【0003】 そのため、従来においては、デジタル画像符号化装置側において、入力されたデジタル画像信号の同期信号を検出し、符号化後の各フレームデータの先頭側に、再生出力時刻を表すタイムスタンプ(MPEG2ではPTS(Presentation Time Stamp)と呼ばれている)を付与してデジタル復号化装置に送信し、デジタル画像復号化装置側において、復号した各フレームの画像データをそのタイムスタンプが指示する時刻で再生出力

するようにしている。

【0004】

【発明が解決しようとする課題】 しかしながら、従来のデジタル画像符号化装置に入力されるデジタル画像信号は、同期信号が等間隔に存在するものとは限らない。例えば、図2に示すように、デジタル画像符号化装置の前段側において、入力させるデジタル画像信号の切り替えが同期信号に非同期で行われた場合には、デジタル画像符号化装置に入力されるデジタル画像信号の切替時点を挟む同期信号の間隔は、同期信号間の通常の間隔と異なったものとなり、その結果、付与されるタイムスタンプも乱れてしまう。従って、デジタル画像復号化装置から再生出力されるデジタル画像信号も乱れたもの(同期ずれショック)となる。

【0005】 そのため、入力されたデジタル画像信号に同期信号の間隔乱れがあっても、符号化されたデータに悪影響を与えないデジタル画像符号化装置が求められている。

【0006】

【課題を解決するための手段】 かかる課題を解決するため、本発明のデジタル画像符号化装置は、(1)入力されたデジタル画像信号を符号化して出力する符号化器と、(2)当該デジタル画像符号化装置に入力されたデジタル画像信号の同期信号間隔が乱れていた場合に、その間隔変動を吸収し、同期信号間隔に乱れないデジタル画像信号に変換して上記符号化器に与える入力画像同期位相調整回路とを有することを特徴とする。

【0007】

【発明の実施の形態】

30 (A) 第1の実施形態

以下、本発明によるデジタル画像符号化装置の第1の実施形態を図面を参照しながら詳述する。

【0008】 (A-1) 第1の実施形態の構成

図1は、本発明によるデジタル画像符号化装置の第1の実施形態の構成を示すブロック図である。

【0009】 図1において、第1の実施形態のデジタル画像符号化装置は、大きくは、符号化器1及び入力画像同期位相調整回路10からなる。なお、符号化器1及び入力画像同期位相調整回路10でなるデジタル画像符号化装置の全体が1チップ化されることを意識している。

【0010】 符号化器(ENC)1は、入力されたデジタル画像信号を符号化して出力するものであり、この実施形態の場合、同期信号を検出し、検出したタイミングに応じたタイムスタンプを付与する機能を有するものである。例えば、MPEG2では、その復号化の規定(ISO/IEC13818-2)で再生出力のタイミングを示すPTSを符号化出力に盛り込むことが定められている。符号化器1は、従来のデジタル画像符号化装置の全体と同一のものである。

50 【0011】 入力画像同期位相調整回路10は、符号化

器1の前段に設けられており、この第1の実施形態のデジタル画像符号化装置に入力されたデジタル画像信号の同期信号間隔が乱れていても、その間隔変動を吸収し、同期信号間隔に乱れないデジタル画像信号を符号化器1に与えるものである。

【0012】入力画像同期位相調整回路10は、フレームメモリ(FM)2、同期信号検出器(SYN SPR)3、ライトアドレス発生器(WR ADR GEN)4、リードアドレス発生器(RD ADR GEN)5、同期信号発生器(SYNGEN)6、電圧制御型発振器(VCO)7、ローパスフィルタ(LPF)8及び位相比較器9から構成されている。

【0013】フレームメモリ2は、当該デジタル画像符号化装置に入力されたデジタル画像信号をフレーム単位に格納するものである。なお、1面構成であっても、また、ライトアドレス及びリードアドレス間のアドレス差に余裕を持たせるために2面構成であっても良い。以下では、1面構成として説明を行う。フレームメモリ2は、ライトアドレス発生器4からのライトアドレスに従って画素データ毎の書き込み動作を行うと共に、リードアドレス発生器5からのリードアドレスに従って画素データ毎の読み出し動作を行い、読み出したデジタル画像信号を符号化器1に与えるものである。

【0014】同期信号検出器3は、当該デジタル画像符号化装置に入力されたデジタル画像信号における同期信号(フレームパルス)を抽出して、ライトアドレス発生器4及び位相比較器9に与えるものである。

【0015】ライトアドレス発生器4は、同期信号検出器3が抽出した同期信号が与えられると、リセットしてライトアドレスを初期値に戻すと共に、それ以降、当該デジタル画像符号化装置に入力されたデジタル画像信号に同期している入力クロック信号(図示せず)が与えられる毎に、ライトアドレスをインクリメントし、このような順次変化するライトアドレスをフレームメモリ2に与えるものである。

【0016】リードアドレス発生器5は、同期信号発生器6が発生した同期信号が与えられると、リセットしてリードアドレスを初期値に戻すと共に、それ以降、電圧制御型発振器7から出力されたクロック信号(信号線の図示は省略)又は符号化器1の動作クロック信号(図示せず)が与えられる毎に、リードアドレスをインクリメントし、このような順次変化するリードアドレスをフレームメモリ2に与えるものである。

【0017】同期信号発生器6、電圧制御型発振器7、ローパスフィルタ8及び位相比較器9は、いわゆる位相同期ループを構成している。

【0018】位相比較器9は、同期信号検出器3が抽出した同期信号と、同期信号発生器6が発生した同期信号との位相比較を行い、これら同期信号間の位相差信号(例えばパルス幅信号)をローパスフィルタ8に与える

ものである。

【0019】ローパスフィルタ8は、位相比較器9からの位相差信号を直流電圧信号に変換して電圧制御型発振器7に対して、制御電圧信号として与えるものである。ここで、ローパスフィルタ8の時定数は、同期信号検出器3が抽出した同期信号間の間隔が急激に変化した際に、同期信号発生器6が発生する同期信号の追従性を規定するものであり、この時定数は、同期信号発生器6が発生する同期信号間の間隔変化が符号化器1でのタイムスタンプの付与動作に悪影響を与えない程度に選定されている。

【0020】電圧制御型発振器7は、例えば、ローパスフィルタ8からの制御電圧信号のレベルがそのダイナミックレンジの中央レベルのときに、デジタル画像信号におけるデータ周期を周期とする、言い換えると、その周期の逆数を周波数とするパルス信号(クロック信号)を発生し、ローパスフィルタ8からの制御電圧信号が、制御電圧信号のダイナミックレンジの中央レベルからずれるに従い、そのずれ方向に応じて、周波数が高く又は低くなるパルス信号(クロック信号)を発生するものである。

【0021】同期信号発生器6は、例えば、電圧制御型発振器7からのパルス信号をカウントし、そのカウント値が所定値になったときに同期信号を出力すると共に、自己のカウント値をリセットするものである。上述したように、同期信号発生器6は、発生した同期信号を、リードアドレス発生器5及び位相比較器9に与える。

【0022】同期信号発生器6、電圧制御型発振器7、ローパスフィルタ8及び位相比較器9でなる位相同期ループは、同期信号検出器3が抽出した同期信号と、同期信号発生器6が発生した同期信号との位相差が、 $1/2$ フレーム期間の状態を、言い換えると、フレームメモリ2に対するライトアドレスとリードアドレスとが $1/2$ フレームずれた画素に対するものとなっている状態を基本的なロック状態とするように機能するものであり、これにより、フレームメモリ2に対するライトアドレスとリードアドレスとが同一のメモリエリアを指示するアクセス競合が生じないようにしている。

【0023】(A-2)第1の実施形態の動作

次に、以上のような各部から構成されている第1の実施形態のデジタル画像符号化装置の動作を説明する。

【0024】この第1の実施形態のデジタル画像符号化装置に同期信号間隔が乱れているデジタル画像信号が入力された場合には、入力画像同期位相調整回路10によって、その間隔変動が吸収され、同期信号間隔に乱れないデジタル画像信号が符号化器1に与えられる。また、この第1の実施形態のデジタル画像符号化装置に同期信号間隔が規則的なデジタル画像信号が入力された場合には、入力画像同期位相調整回路10を波形を代えずに遅延通過して符号化器1に与えられる。

5

【0025】以上のようにして、符号化器 1 には、同期信号間隔に乱れがない規則的なデジタル画像信号が入力される。符号化器 1 においては、このような同期信号間隔に乱れがない規則的なデジタル画像信号が従来と同様な方法により符号化されて出力される。この符号化の際には、符号化器 1 においては、同期信号が検出され、検出されたタイミングに応じたタイムスタンプが付与される。

【0026】符号化器 1 に、同期信号間隔に乱れがない規則的なデジタル画像信号を常時入力させるように機能する入力画像同期位相調整回路 10 においては、以下のように動作している。

【0027】当該デジタル画像符号化装置に入力されたデジタル画像信号（ストリームデータ）は、フレームメモリ 2 に与えられ、ライトアドレス発生器 4 からのライトアドレスに従ってデータ毎に書き込まれる。

【0028】ここで、ライトアドレスは、以下のように形成される。同期信号検出器 3 によって、当該デジタル画像符号化装置に入力されたデジタル画像信号における同期信号（フレームパルス）が抽出され、ライトアドレス発生器 4 に与えられる。ライトアドレス発生器 4 においては、抽出された同期信号が与えられると、リセットしてライトアドレスを初期値に戻すと共に、それ以降、当該デジタル画像符号化装置に入力されたデジタル画像信号に同期している入力クロック信号が与えられる毎に、ライトアドレスをインクリメントし、このような順次変化するライトアドレスがフレームメモリ 2 に与えられる。

【0029】以上のようにしてフレームメモリ 2 に格納されたデジタル画像信号は、リードアドレス発生器 5 からのリードアドレスに従ってデータ毎に順次読み出され、符号化器 1 に与えられて上述した符号化処理が施される。

【0030】ここで、リードアドレスは、以下のように形成される。位相比較器 9 において、同期信号検出器 3 が抽出した同期信号と、同期信号発生器 6 が発生した同期信号とが位相比較され、これら同期信号間の位相差信号がローパスフィルタ 8 に与えられ、このローパスフィルタ 8 において、直流電圧信号に変換されて電圧制御型発振器 7 に与えられる。電圧制御型発振器 7 においては、ローパスフィルタ 8 からの制御電圧信号（直流電圧信号）のレベルに応じた周波数を有するパルス信号（クロック信号）が発生され、同期信号発生器 6 において、このパルス信号がカウントされ、そのカウント値が所定値になったときに同期信号が出力されると共に、そのカウント値がリセットされる。

【0031】同期信号発生器 6 が発生した同期信号は、リードアドレス発生器 5 及び位相比較器 9 に与えられる。リードアドレス発生器 5 においては、同期信号発生器 6 が発生した同期信号が与えられると、リセットされ

6

てリードアドレスが初期値に戻されると共に、それ以降、電圧制御型発振器 7 から出力されたクロック信号又は符号化器 1 の動作クロック信号が与えられる毎に、リードアドレスがインクリメントされ、このような順次変化するリードアドレスがフレームメモリ 2 に与えられる。

【0032】上述したように同期信号発生器 6、電圧制御型発振器 7、ローパスフィルタ 8 及び位相比較器 9 が、位相同期ループを構成しているため、当該デジタル画像符号化装置に同期信号間隔が乱れているデジタル画像信号が入力され、同期信号検出器 3 が抽出した同期信号の間隔が乱れていても、同期信号発生器 6 から発生される同期信号は、その間隔変動に緩やかに追従する。その結果、フレームメモリ 2 から読み出されたデジタル画像信号には同期信号間隔に乱れがなく、同期信号間隔に乱れがないデジタル画像信号が符号化器 1 に与えられる。

【0033】（A-3）第 1 の実施形態の効果
以上のように、第 1 の実施形態によれば、符号化対象のデジタル画像信号の切り替えなどによって、図 2 の示すような入力デジタル画像信号の同期信号間隔が正規の間隔から乱れたものとなっても、符号化器 1 の前段に設けられている入力画像同期位相調整回路 10 が、その間隔変動を吸収し、同期信号間隔に乱れがないデジタル画像信号を符号化器 1 に与えて符号化させるようにしたので、符号化データに定期的なタイムスタンプを付与することができ、デジタル画像復号化装置において、同期ずれショックのない画像再生を行うことができる。

【0034】また、入力画像同期位相調整回路 10 内の位相同期ループの機能により、同期信号間隔の変動を吸収した後は（ループが安定した後は）、画像入力と符号化出力の遅延時間を一定に保つことができる。

【0035】（B）第 2 の実施形態
次に、本発明によるデジタル画像符号化装置の第 2 の実施形態を図面を参照しながら詳述する。

【0036】（B-1）第 2 の実施形態の構成
図 3 は、本発明によるデジタル画像符号化装置の第 2 の実施形態の構成を示すブロック図であり、上述した第 1 の実施形態に係る図 1 との同一、対応部分には、同一、対応符号を付して示している。

【0037】図 3 において、第 2 の実施形態のデジタル画像符号化装置も、大きくは、符号化器（ENC）1 及び入力画像同期位相調整回路 10A からなり、符号化器 1 及び入力画像同期位相調整回路 10A のそれぞれの機能は、第 1 の実施形態と同様である。

【0038】しかし、図 3 及び図 1 の比較から明らかのように、入力画像同期位相調整回路 10A の詳細構成が、第 1 の実施形態の入力画像同期位相調整回路 10 とは異なっている。

【0039】第 2 の実施形態の入力画像同期位相調整回

7

路10Aは、フレームメモリ(FM)2、同期信号検出器(SYN SPR)3、ライトアドレス発生器(WR ADR GEN)4、リードアドレス発生器(RD ADR GEN)5、同期信号発生器(SYN GEN)6A、位相比較器9、クロック発生器(CK GEN)11及び同期信号発生制御部(SYN CNT)12から構成されている。

【0040】ここで、フレームメモリ2、同期信号検出器3、ライトアドレス発生器4、リードアドレス発生器5及び位相比較器9の機能は、第1の実施形態のもと同様であるので、その説明は省略する。

【0041】クロック発生器11は、一定周期のクロック信号を発生して同期信号発生器6Aに与えるものである。このクロック周期は、例えば、フレームメモリ2からデータを読み出す周期に選定される。なお、信号線の図示は省略しているが、クロック発生器11が発生したクロック信号を、フレームメモリ2やリードアドレス発生器5に与えるようにし、読み出しタイミングを指示したり、リードアドレスの更新を実行させたりするための信号に用いるようにしても良い。

【0042】第2の実施形態の同期信号発生器6Aは、クロック発生器11からのクロック信号をカウントし、そのカウント値が所定値(以下、出力起動カウント値と呼ぶ)になったときに同期信号を出力すると共に、自己のカウント値をリセットするものである。この第2の実施形態の場合、同期信号を出力させるための出力起動カウント値は、一定値ではなく、同期信号発生制御部12によって制御されるものである。同期信号発生器6Aは、発生した同期信号を、リードアドレス発生器5及び位相比較器9に与える。

【0043】同期信号発生制御部12には、位相比較器9からの位相差信号が与えられる。同期信号発生制御部12は、(1)同期信号発生器6Aが発生した同期信号が、同期信号検出器3が抽出した同期信号に対して、1/2フレーム期間より短いことを表す位相差信号が与えられたときに、出力起動カウント値を1だけ減らし、

(2)同期信号発生器6Aが発生した同期信号が、同期信号検出器3が抽出した同期信号に対して、1/2フレーム期間より長いことを表す位相差信号が与えられたときに、出力起動カウント値を1だけ増やし、(3)同期信号発生器6Aが発生した同期信号が、同期信号検出器3が抽出した同期信号に対して、1/2フレーム期間だけずれていることを表す位相差信号が与えられたときに、それまでの出力起動カウント値を維持させるように、同期信号発生器6Aの出力起動カウント値を制御するものである。

【0044】なお、同期信号発生器6Aが発生した同期信号と、同期信号検出器3が抽出した同期信号との位相差が1/2フレーム期間であるとする位相差信号の値に幅を持たせるようにしても良い。すなわち、出力起動カ

8

ウント値を維持させる位相差信号の範囲に緩衝的な範囲を持たせるようにしても良い。また、位相差が所定位相差よりかなりずれている場合には、出力起動カウント値の減少値や増大値を2以上にするようにしても良い。

【0045】(B-2)第2の実施形態の動作

次に、以上のような各部から構成されている第2の実施形態のデジタル画像符号化装置の動作を説明する。

【0046】この第2の実施形態のデジタル画像符号化装置に同期信号間隔が乱れているデジタル画像信号が入力された場合には、入力画像同期位相調整回路10Aによって、その間隔変動が吸収され、同期信号間隔に乱れないデジタル画像信号が符号化器1に与えられる。また、この第1の実施形態のデジタル画像符号化装置に同期信号間隔が規則的なデジタル画像信号が入力された場合には、入力画像同期位相調整回路10Aを波形を代えずに遅延通過して符号化器1に与えられる。

【0047】以上のようにして、符号化器1には、同期信号間隔に乱れない規則的なデジタル画像信号が入力される。符号化器1においては、このような同期信号間隔に乱れない規則的なデジタル画像信号が従来と同様な方法により符号化されて出力される。この符号化の際には、符号化器1においては、同期信号が検出され、検出されたタイミングに応じたタイムスタンプが付与される。

【0048】入力画像同期位相調整回路10Aにおいては、以下のように動作している。

【0049】当該デジタル画像符号化装置に入力されたデジタル画像信号(ストリームデータ)は、フレームメモリ2に与えられ、ライトアドレス発生器4からのライトアドレスに従ってデータ毎に書き込まれる。ここで、ライトアドレスの形成動作は、第1の実施形態と同様であり、その説明は省略する。

【0050】フレームメモリ2に格納されたデジタル画像信号は、リードアドレス発生器5からのリードアドレスに従ってデータ毎に順次読み出され、符号化器1に与えられて上述した符号化処理が施される。

【0051】ここで、リードアドレスは、以下のように形成される。位相比較器9において、同期信号検出器3が抽出した同期信号と、同期信号発生器6Aが発生した同期信号とが位相比較され、これら同期信号間の位相差信号が同期信号発生制御部12に与えられる。同期信号発生制御部12においては、与えられた位相差信号に基づき、同期信号発生器6Aが発生した同期信号と、同期信号検出器3が抽出した同期信号との位相差の、ロック状態で求められている位相差とのずれ量に応じて、同期信号発生器6Aにおける出力起動カウント値を変動させる。

【0052】同期信号発生器6Aにおいては、クロック発生器11からのクロック信号をカウントし、そのカウント値が、同期信号発生制御部12によって制御されて

いる出力起動カウント値になったときに同期信号を出力すると共に、自己のカウント値をリセットする。同期信号発生器6Aが発生した同期信号は、リードアドレス発生器5及び位相比較器9に与える。

【0053】リードアドレス発生器5においては、同期信号発生器6Aが発生した同期信号が与えられると、リセットされてリードアドレスが初期値に戻されると共に、それ以降、クロック信号が与えられる毎に、リードアドレスがインクリメントされ、このような順次変化するリードアドレスがフレームメモリ2に与えられる。

【0054】上述したように同期信号発生器6A、位相比較器9及び同期信号発生制御部12が、位相同期ループを構成しているため、当該デジタル画像符号化装置に同期信号間隔が乱れているデジタル画像信号が入力され、同期信号検出器3が抽出した同期信号の間隔が乱れていても、同期信号発生器6Aから発生される同期信号は、その間隔変動に緩やかに追従する。その結果、フレームメモリ2から読み出されたデジタル画像信号には同期信号間隔に乱れがなく、同期信号間隔に乱れないデジタル画像信号が符号化器1に与えられる。

【0055】(B-3)第2の実施形態の効果
以上のように、第2の実施形態によっても、符号化対象のデジタル画像信号の切り替えなどによって、図2の示すような入力デジタル画像信号の同期信号間隔が正規の間隔から乱れたものとなっても、符号化器1の前段に設けられている入力画像同期位相調整回路10Aが、その間隔変動を吸収し、同期信号間隔に乱れないデジタル画像信号を符号化器1に与えて符号化させるようにしたので、符号化データに定期的なタイムスタンプを付与することができ、デジタル画像復号化装置において、同期ずれショックのない画像再生を行うことができる。

【0056】また、入力画像同期位相調整回路10A内の位相同期ループの機能により、同期信号間隔の変動を吸収した後は(ループが安定した後は)、画像入力と符号化出力の遅延時間を一定に保つことができる。

【0057】(C)他の実施形態

上記各実施形態は、MPEG2に従うデジタル画像符号化装置を意図したものであるが、他の規格に従って符号化処理するデジタル画像符号化装置に本発明を適用することができることは勿論である。

【0058】また、上記各実施形態においては、符号化

器への入力デジタル画像信号における同期信号間隔の乱れがタイムスタンプの乱れとなって不都合が生じるデジタル画像符号化装置に本発明を適用したものを示したが、符号化器への入力デジタル画像信号における同期信号間隔の乱れがなんらかの形で課題を生じるデジタル画像符号化装置に対して本発明を適用することができる。

【0059】さらに、上記各実施形態においては、同期信号発生器6又は6Aが、同期安定時には、同期信号検出器3が抽出した同期信号より1/2フレーム期間だけ移相した同期信号を発生するものを示したが、同期信号発生器6又は6Aの発生位相をこれから変更しても良い。例えば、同期信号発生器6又は6Aが、同期安定時に、同期信号検出器3が抽出した同期信号と同位相の同期信号を発生するようにしても良い。この場合には、リードアドレス発生器5がリセットされたときに、フレームメモリ2での中間アドレスを発生させ、それ以降巡回するリードアドレスを発生させることを要する。

【0060】

【発明の効果】以上のように、本発明のデジタル画像符号化装置によれば、(1)入力されたデジタル画像信号を符号化して出力する符号化器と、(2)当該デジタル画像符号化装置に入力されたデジタル画像信号の同期信号間隔が乱れていた場合に、その間隔変動を吸収し、同期信号間隔に乱れないデジタル画像信号に変換して符号化器に与える入力画像同期位相調整回路とを有するので、デジタル画像復号化装置において、同期ずれショックのない画像再生を行うことができるように符号化することができる。

【図面の簡単な説明】

【図1】第1の実施形態の構成を示すブロック図である。

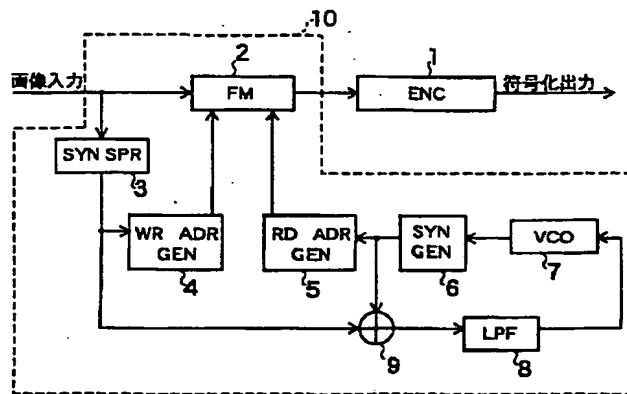
【図2】従来の課題の説明図である。

【図3】第2の実施形態の構成を示すブロック図である。

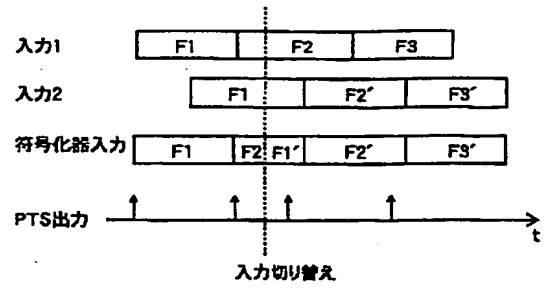
【符号の説明】

1…符号化器、2…フレームメモリ、3…同期信号検出器、4…ライトアドレス発生器、5…リードアドレス発生器、6、6A…同期信号発生器、7…電圧制御型発振器、8…ローパスフィルタ、9…位相比較器、10、10A…入力画像同期位相調整回路、11…クロック発生器、12…同期信号発生制御部。

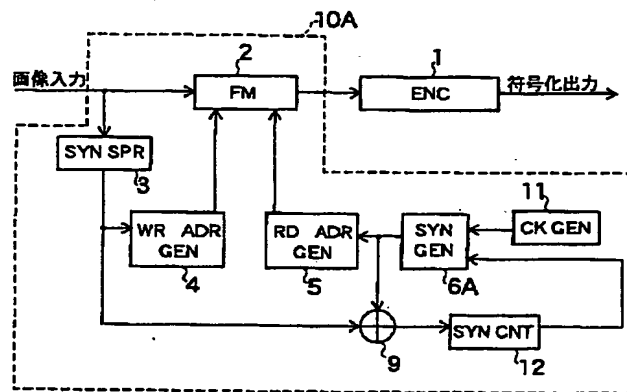
【図1】



【図2】



【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.